

「微細化と共に PLD が ASIC よりもますます優位に」 - Altera の Daane CEO が講演

プログラマブルロジックの米 Altera 社 CEO の John Daane 氏は、ASIC や ASSP と比べて PLD はより微細なプロセスを使えるようになり、同時に少量多品種製品の時代を迎え産業用分野で、より価格に見合うデバイスになってきたことを、米広報会社 Globalpress Connections が主催した eSummit2009 において述べた。PLD が微細化時代と共にますます有利に働くようになってきたことを強調した。



Daane 氏は 2002 年ころと今の 2008 年とを比較し、ASIC/ASSP が徐々にコスト的に見合わなくなったことを分析した。2002 年ころの 130nm ノードにきてからムーアの法則は技術的には可能だが、コストがあまりにもかかりすぎて投資額に見合うのかどうかを真剣に検討しビジネスモデルの変更を考えなければならないことを米国の半導体設計業界では認識するようになった、と Daane 氏は述懐し、90nm 時代には ASIC はもはや投資額に見合わないことがはっきりしていたことを述べた。90nm プロセスには 3 億ドルの投資額に対して、それほど大量の製品を生産する必要がなくなり見合わなくなった。ASSP だと、10 ドルの単価に対して 1500 万個の数量が必要になるが、民生向けにしか通用しなくなった。この結果、ASIC は設計件数が減少していったと分析する。

これに対してソフトウェアで回路を設計するプログラマブル半導体は、DSP にしろ、マイクロプロセッサにしろ、MCU にしろ、1 チップでさまざまな分野に供給できるというメリ

ットを持つ。PLD は特にこの 5 年間で見ると年平均成長率 CAGR は 11.5%であったのに対して、ASIC は 4.5%にとどまっている。すなわち PLD は ASIC の 2.5 倍も成長した。

ASSP/ASIC はコスト的に見合わなくなった結果、コスト削減という観点から最先端の微細化プロセスではなく、古いデザインルールを使わざるを得なくなっていった。このため 2008 年時点では Altera の FPGA、Stratix IV は 40nm のデザインルールで作った 400 万論理ゲートと 8M バイトの RAM を搭載しているが、同じ集積度の ASIC は 130nm のままであり、チップサイズは同じ程度である。Altera は同じデザインのまま ASIC に落とせる Hardcopy という製品を持っており、Stratix を Hardcopy に変換するとチップ面積は半減する。

2002~2003 年ごろは ASIC も PLD も同様に 130nm 設計ルールだが、2008~2009 年は PLD の方が 3 世代進んだプロセスを使うようになってきた。

PLD は市場として、ギガビット Ethernet やネットワーク市場、工業用 Ethernet などのインフラストラクチャ市場ではかなり有利になり、ASIC は生き残ることが難しくなってきた。Altera は 6Gbps の I/O を持つ唯一のメーカーだと同氏は自慢する。また、軍事用でも PLD は使われやすい。海軍、陸軍、空軍で使っている無線がそれぞれ違うからソフトウェア無線 (SDR) によってどの市場でも通用するようなアプリケーションがある。

自動車市場でもいろいろなバスが出てきているため、それに合わせるように PLD には大きなチャンスになるという。今回の経済不況がリセットされた後、数年間、Altera の PLD は 5~9%で成長するのに対して、他の半導体デバイスは 1~3%程度にとどまると、Daane 氏は予測する。

(2009/04/14 セミコンポータル編集室)