

Können FPGAs – nun endlich – den ASICs das Wasser abgraben?

Preis und Leistungsaufnahme sind die Hürden

Um tatsächlich ASICs ersetzen zu können, müssen die PLDs zwei wichtige Hürden nehmen: Preis und Leistungsaufnahme. Darüber waren sich die Vertreter der PLD-Firmen auf der Panel-Diskussion »Low-Cost-FPGAs oder Custom-Silicon?« im Rahmen des »Globalpress Electronics Summit 2009« einig. Der ASIC-Vertreter sah den Aktivitäten der PLD-Firmen allerdings sehr gelassen entgegen.

Niedrige Leistungsaufnahme, da fühlt sich selbstverständlich Kapil Shankar, CEO von SiliconBlue, in seinem Element: Das Start-up-Unternehmen, das seit Anfang dieses Jahres die ersten Produkte in Stückzahlen liefert, hat sich darauf konzentriert, um die FPGAs nun endlich in Consumer-Geräte zu bringen. Bisher habe nämlich kein FPGA-Hersteller die ICs wirklich von Grund auf für eine geringe Leistungsaufnahme entwickelt. Mit einer Stromaufnahme im Bereich von einigen 10 mA und Preisen zwischen 1 und 3 Dollar pro FPGA ist es SiliconBlue gelungen, eine Reihe potenzieller Kunden zu überzeugen: »Wir haben bereits 250 Seats im Consumer-Markt«, sagt Shankar. »Weil wir die ASIC-ähnlichsten ICs entwickelt haben, können wir ASICs jetzt wirklich ersetzen.«

Auch Richard Kapusta, VP Marketing von Actel, setzt auf Low-Power-PLDs, um ASICs zu ersetzen. Im Gegensatz zu den SRAM-basierten FPGAs von SiliconBlue arbeiten die Mitglieder der Igloo-Familie von Actel auf Basis der Flash-Technik. »Wir er-

reichen eine Standby-Leistungsaufnahme von 2 μ W, Flash ist die richtige Technik für Low Power«, so Kapusta. »Unsere 65-nm-SRAM-FPGAs arbeiten mit 20 mW bei voller Auslastung, das ist Low Power«, kontert Shankar. »Wie gut unsere Technik ist, zeigt gerade, dass wir sie auf der 130-nm-Ebene erreichen, die 65-nm-Ebene wird uns noch viel weiter bringen«, entgegnet Kapusta. Und auch er verweist auf den bereits erzielte Erfolg: »2008 ist der Umsatz mit der Igloo-Familie um 38 Prozent gewachsen.« Beide sind überzeugt, eine Schlüsselfrage für den Erfolg von FPGAs in Consumer-Anwendungen gelöst zu haben: Low Power.

Global Unichip: Die ASICs leben!

Ein weiteres Argument, das die FPGA-Hersteller gegen die ASICs gerne ins Feld führen: Die NRE-Kosten steigen so gewaltig, dass es nur noch wenige Anwendungen mit Stückzahlen gibt, die hoch genug sind, um das Investment zu rechtfertigen.

Kapil Shankar, SiliconBlue

» Weil wir die ASIC-ähnlichsten ICs entwickelt haben, können wir ASICs jetzt wirklich ersetzen und haben bereits 250 Seats im Consumer-Markt gewonnen. «



Richard Kapusta, Actel

» Wir erreichen eine Standby-Leistungsaufnahme von 2 μ W, Flash ist die richtige Technik für Low-Power-FPGAs. «



Die Frage ist natürlich, was man bei solchen Vergleichen zu den NRE-Kosten zählt und mit welchen Kosten man sie auf der FPGA-Seite vergleicht. Dr. Kurt Huang, Director Marketing von Global Unichip, macht da eine eigene Rechnung auf: »Wir haben ein 15-Mio.-Gatter-Design auf der 65-nm-Ebene durchgeführt und dem Kunden dafür NRE-Kosten von unter 10 Mio. Dollar berechnet.« Neben den Kosten könne Global Unichip nach seinen Worten aber auch das Risiko für den Kunden stark reduzieren. Global Unichip ist nämlich kein traditioneller Hersteller von Cell-Based-ICs, sondern sieht sich als ein fabless ASIC-Hersteller. Fertigen lässt das Unternehmen bei TSMC. Weil TSMC an Global Unichip beteiligt ist, kann man Global Unichip auch als den ASIC-Arm von TSMC sehen. »Unser Geschäftsmodell sieht ganz ähnlich wie das einer Foundry aus, unsere Kunden pro-

fitieren auch ganz ähnlich wie bisher die fabless IC-Hersteller: geringere Kosten, geringeres Risiko«, sagt Dr. Kurt Huang.

Auch dass es kaum noch ASIC-Entwicklungen unter 90 nm gibt, lässt er nicht gelten. Derzeit liefern bereits schon zwei 40-nm-Designs bei Global Unichip, der Anteil der 65-nm-Designs liege bei 45 Prozent. Auch wenn das Unternehmen den dominierenden Anteil des Umsatzes derzeit noch mit 130-nm-ASICs erziele: In einem Jahr würden die 90- und 65-nm-Chips dominieren.

Und was die Leistungsaufnahme betrifft: »Es gibt nichts, was so wenig Leistung aufnimmt wie ein ASIC.« Außerdem dürfe man nicht vergessen, dass 80 Prozent der Leistungsaufnahme eines Gerätes von der Systemarchitektur bestimmt sei.

Und er bringt noch einen weiteren Aspekt in die Diskussion: System in Chip, um verschiedene



PLDs wachsen schneller

ASICs bleiben dominant

Die ASICs werden laut Bryan Lewis, VP und Chief Analyst von Gartner, gegenüber den PLDs auch 2013 noch bei weitem dominieren. 24 Mrd. Umsatz gegenüber 5 Mrd. auf Seiten der PLDs, das spricht eine deutliche Sprache. Zwar werden die PLDs schneller wachsen als die Halbleiter im Durchschnitt, aber den Tod der ASICs vorauszusagen, erscheint doch etwas zu früh. Es stimmt zwar, dass die Design-Starts rückläufig sind, dafür wird ein ASIC aber meist in viel größe-

ren Stückzahlen gefertigt. Wie viel Sockets gibt es für PLDs denn, die Stückzahlen von über 10 Mio., 5 Mio. oder 1 Mio. Stück nach sich ziehen?«, fragt Lewis. Heute sind für die PLD-Hersteller der militärische Bereich und die Basisstationen immer noch die größten Märkte. Es gibt aber durchaus Chancen, weiter zu expandieren. Zu den interessanten Märkten gehören DVD-Player, Solid State Disks und Notebooks/Netbooks. Auch Smartphones werden genannt. (ha)



Dr. Kurt Huang, Global Unichip

» Wir haben ein 15-Mio.-Gatter-ASIC-Design auf der 65-nm-Ebene durchgeführt und dem Kunden dafür NRE-Kosten von unter 10 Mio. Dollar berechnet. «



Dave Greenfield, Altera

» Unser Spektrum reicht von Low-End- über High-End-PLDs bis zu den HardCopy-ASICs. Wir stellen dem Kunden einfach zur Verfügung, was er will. «

Technologien in einem Package miteinander verbinden zu können. Dem stimmt auch Kapil Shankar zu: »SiP ist eine Chance für uns. SiP kann auch als Begleitchips für ASSPs Einsatz finden.« Ein Trend, den Richard Kapusta bestätigt: »Wir liefern bereits an Kunden, die SiPs fertigen.«

Das Wachstum muss aber laut Shankar aus dem ASIC-Ersatz kommen. Und da ist er optimistisch: Weil immer neue Funktionen in die Handys wandern, sie schnell integriert werden müssen, und das bei ständig sich fortentwickelnden Standards, würde auch die Nachfrage nach FPGAs für ASICs künftig stark steigen. Zumal FPGAs von Moore's Law viel stärker profitieren könnten als ASICs. Kurt Huang sieht dem gelassen entgegen: »Das Wachstum der Gatter über

die Prozesstechnik reicht für FPGAs nicht, um die ASICs abzuhängen.« Global Unichip sei jedenfalls über die letzten Jahre kräftig gewachsen. Lag der Umsatz 2006 bei 103 Mio. Dollar, so ist er 2007 auf 215 und 2008 auf 294,7 Mio. Dollar geklettert.

FPGAs oder ASICs? Laut Dave Greenfield, Director of HardCopy von Altera, komme es darauf an, möglichst ein breites Produktspektrum abzudecken: »Von Low-End- über High-End-PLDs bis zu den HardCopy-ASICs reicht unser Spektrum, wir stellen dem Kunden einfach zur Verfügung, was er will.« Mit HardCopy könne Altera den Anwendern den einfachen Übergang zu ASICs bieten, niedrige NRE-Kosten und den Zugang zu 40 nm eingeschlossen. (ha) ■

Hochkomplexe FPGAs sind nur die Voraussetzung

Die Komplexität beherrschbar machen

»Wir sind alle ASIC-Flüchtlinge«, sagte Vim Ratford, Senior Vice President World Wide Marketing von Xilinx, auf dem »Globalpress Electronics Summit 2009«. Worum es wirklich ginge: die Flexibilität. Sie sieht er als den Schlüssel für die Zukunft an. Mit der »Targeted Design Platform« will Ratford den Anwendern den Umgang mit hochkomplexen FPGAs der Spartan- und Virtex-Familien vereinfachen.

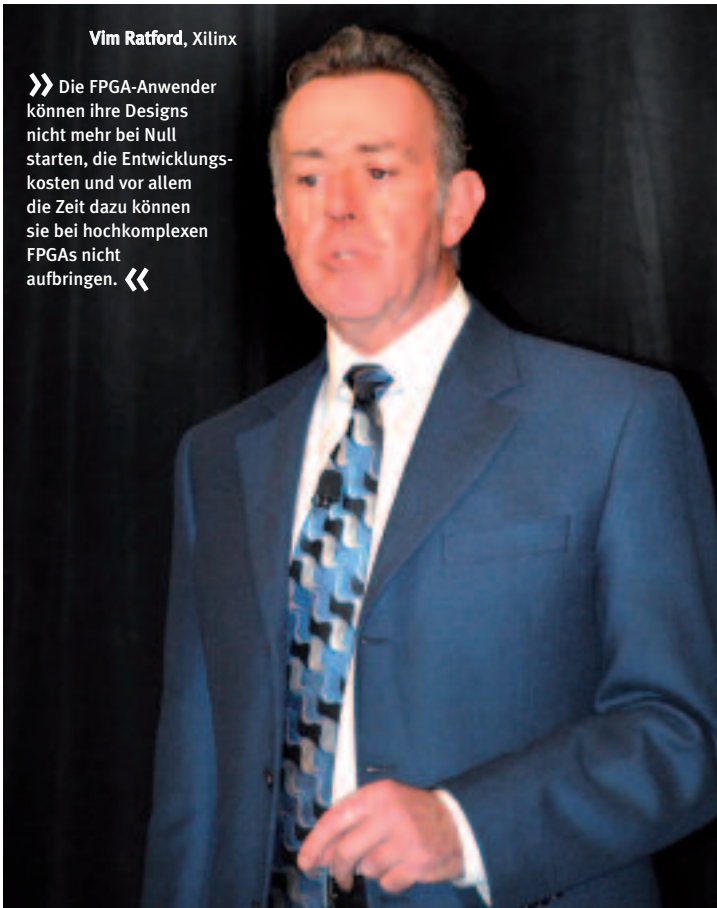
Die Kunden wollen einerseits die Flexibilität der FPGAs und andererseits eine kostengünstige Alternative zu ASSPs und ASICs. Kann die Antwort darauf einfach nur lauten, FPGAs mit immer höherer Komplexität zu entwickeln? »Ja und Nein« lautet die Antwort, die Vim Ratford gibt: »Ja, weil die immer höhere Komplexität die Voraussetzung dafür bildet, die Anforderungen der Anwender

zu erfüllen. Nein, weil die Anwender nicht bei Null starten können, ihre Entwicklungskosten und vor allem die Zeit dazu können sie sich nicht mehr leisten.«

Dieses Dilemma will Xilinx lösen: mit der Targeted Design Platform. Die Grundlage dieser Plattform sind die FPGAs der Virtex- und der Spartan-Familie. Mit der Lieferung erster Muster ▶

Vim Ratford, Xilinx

» Die FPGA-Anwender können ihre Designs nicht mehr bei Null starten, die Entwicklungskosten und vor allem die Zeit dazu können sie bei hochkomplexen FPGAs nicht aufbringen. «



des Flaggschiffs, der 40-nm-Virtex-6-Familie, hat Xilinx bereits begonnen: Die Typen Virtex-6-LX240T stehen in Ingenieurmustern bereits zur Verfügung. Die übrigen Mitglieder der Virtex-6- und Spartan-6-Familien sollen in der zweiten Jahreshälfte folgen.

Darüber hinaus bietet Xilinx mehrere Ebenen zunehmenden Spezifizierungsgrades: Domain-Specific und Market-Specific. Auf diesen Ebenen legt Xilinx fest, welche Funktionsblöcke, ange-

fangen vom Embedded Processor, in die FPGAs integriert werden, um sie auf bestimmte Anwendungen zuzuschneiden. Auf der Domain-Specific-Ebene erweitert Xilinx die FPGAs um integrierte Funktionen und IPs sowie Designmethoden, Tools, Entwicklungshardware, Betriebssysteme und Referenz-Designs für Embedded Processing, DSPs und Logic/Connectivity. Die Market-Specific-Ebene soll die Software- und Hardware-Entwickler in die Lage



Neuer Foundry-Partner

Samsung übernimmt

Xilinx hat sei Foundry-Netzwerk um Samsung erweitert. Bisher gehörten vor allem UMC und Toshiba zu den Partnern von Xilinx. »Über mehr als 12 Prozessgenerationen hat Xilinx erfolgreich mit UMC zusammengearbeitet, und will das – genauso wie mit Toshiba – auch künftig tun«, sagt Vim Ratford. Damit will er Vermutungen entgegentreten, dass sich Xilinx einen zusätzlichen Partner gesucht hat, weil UMC etwas hinterherzuhinken droht. Mit Hil-

fe von Samsung will Xilinx weiter auf dem Weg vorankommen, Leistungsaufnahme, Performance und Kosten für verschiedene Anwendungsbereiche zu optimieren. Samsung habe bewiesen, ein in der Prozesstechnik führendes Unternehmen zu sein. Außerdem arbeitet Samsung mit IBM und Chartered Semiconductor in der Common Platform zusammen, die weltweite Kooperation mit Partnern brächte zusätzliche Vorteile. (ha)

versetzen, ihre vordefinierten Systeme schnell auf die jeweiligen Anwendungen – beispielsweise Automotive, Consumer, Kommunikation – anzupassen. Zu den Zielmärkten gehören die Video-Überwachung, Basisstationen, Steuerungen für die Industrie (u.a. Motorsteuerungen) und bildgebende Verfahren für die Medizin. Solche Targeted Reference Designs sind im System verifiziert, sie enthalten empfohlene Design-Flows, sie können die jeweilige Logik der Anwender aufnehmen, und Xilinx bietet umfangreichen Support dafür. Insbesondere auch ein weites Netz von Third-Party-Design-Partnern.

Dazu ein Beispiel: Ein bisheriges FPGA-Evaluation- und Entwicklungs-Board bietet zwar Zugang zu Peripheriefunktionen, allerdings nicht unbedingt einfachen Zugang zu den Real-Time-Daten der Endsysteme. Das spezifische Referenzdesign – hier auf

Base-Stationen für den Mobilfunk zugeschnitten – enthält DSP-IPs, die erforderlich sind, um etwa die DUC/DDC-Filter und CFR-Filter aufzubauen, die für die Anwendung benötigt werden. Das Embedded Reference-Design umfasst den MicroBlaze-Prozessor und die erforderlichen Bus-Strukturen, um die dynamische Vorverzerrung durchführen zu können. Der Anwender kann sich somit auf die Application-Layer und das spezifische Kommunikations-Interface konzentrieren, auf den Teil also, in dem er seine Differenzierungen vom Wettbewerb durchführen kann. »Damit reduzieren wir die Entwicklungszeit von Monaten auf Wochen«, erklärt Vim Ratford. Gleichzeitig verbessern sich Noise-Filtering und der Wirkungsgrad der Verstärker, es reduzieren sich die Leistungsaufnahme und die Betriebskosten für die Operator, »bis um 18 Mio. Dollar pro Jahr«, so Vim Ratford. (ha) ■

Altera will mit 5 bis 9 Prozent pro Jahr wachsen

Den ASICs um vier Generationen voraus

Altera verfügt bereits über 28-nm-Testchips und ist damit laut CEO John Daane den ASICs um vier Generationen voraus. Deshalb ist er überzeugt, den ASICs Marktanteile wegschnappen zu können und über die kommenden Jahre überdurchschnittlich zu wachsen.

»Wir haben die ASICs und ASSPs jetzt abgehängt«, sagt John Daane selbstbewusst. Damit bezieht er sich nicht auf den Umsatz mit FPGAs, der über die letzten Jahre ja bemerkenswert konstant geblieben ist. Vielmehr bezieht er sich auf den technischen Fortschritt: Als erster FPGA-Hersteller produziert Altera nach seinen Worten mit Hilfe des Foundry-Partners TSMC FPGAs in einem 40-nm-Prozess. Der Großteil der ASICs/ASSPs dagegen entsteht auf Basis von 130-nm-Prozessen. »Wir sind jetzt drei Generationen voraus und können deshalb denselben Funktionsumfang zum selben Preis von ASICs liefern«, so Daane. Ein ASIC- bzw. ASSP-Hersteller muss Alteras Berechnun-

gen zufolge mindestens 15 Mio. Einheiten ausliefern, um die Entwicklungskosten auf Basis des 90-nm-Prozesses zu rechtfertigen. Diese Zahl werde auf der 22-nm-Ebene auf 50 Mio. Stück steigen (unter der Annahme, dass R&D 20 Prozent des Umsatzes ausmachen und der ASP bei 10 Dollar liegt). Dagegen profitieren die FPGAs davon, dass sie nicht auf einen Kunden oder einen bestimmten Marktsektor abzielen, also von vorneherein in sehr hohen Stückzahlen gefertigt werden.

Jetzt, so hofft Daane, könnten die PLDs den ASICs/ASSPs Marktanteile im größeren Stil wegschnappen. »2002 hätten 57 Prozent des ASIC-Marktes nicht von PLDs ersetzt werden können,

2008 könnten wir als PLD-Hersteller ohne weiteres 88 Prozent der ASICs ersetzen.«

Dazu ein Blick auf die ASIC-Design-Starts: 65 Prozent fanden 2008 auf Prozessebenen statt, die den PLDs um vier Generationen hinterher hinken, 23 Prozent hinken um drei Generationen nach. Auch was die Leistungsfähigkeit angeht, hätten die FPGAs jetzt aufgeholt. Auf den Stratix-IV-GT-Typen sind Hochgeschwindigkeits-Interfaces für Speicher und Hochgeschwindigkeits-Transceiver integriert, die den Einsatz in 40-GBit/s- und 100-GBit/s-Netzwerken möglich machen.

Optimistisch stimmt ihn auch, dass noch keine Familie zuvor so stark gewachsen ist, in diesem Quartal werde Altera mit den neuen FPGAs bereits einen Umsatz von 1 Mio. Dollar erreichen. Ihrem höchsten Punkt strebt die Umsatzkurve einer FPGA-Generation erfahrungsgemäß rund fünf Jahre nach Markteinführung entgegen, danach fällt sie langsam ab, so dass die PLD-Hersteller sich noch über einen längeren Zeitraum an relativ hohen Umsätzen erfreuen können. Es steht also genügend Geld zur Verfügung, um neue Generationen zu entwickeln. An 28-nm-FPGAs mit High-k-Metal-Gates arbeitet Altera bereits, es gibt sogar schon Muster. Weil derzeit noch keine

Software zur Verfügung steht, hat Altera die Familie noch nicht offiziell angekündigt. Das Unternehmen verfolgt die Strategie, sieben bis zehn Testchips auszuprobieren, bis die endgültige Version freigegeben wird.

Einen Wachstumsschub erwartet Daane vor allem vom Industrial Ethernet. Denn auf FPGAs basierende Steuerungen können einfach auf die vielen unterschiedlichen Ethernet-Standards in der Industrie angepasst werden und auch mit dem alten Equipment zusammenarbeiten.

Wachstum verspricht trotz allem der Automotive-Sektor. In den Automobil-Netzwerken übernehmen sie als »Soft-Controller« Management- und Steuerfunktionen, können eine Vielzahl von Subsystemen integrieren und passen sich verschiedenen Standards an.

Viel versprechend ist auch der Militärmarkt, hier finden Software-Defined Radios für die Kommunikation Anwendung, und auch für die Verschlüsselung sind FPGAs geeignet. »Insgesamt eröffnet sich uns ein neuer Markt in Höhe von 10 Mrd. Dollar«, sagt Daane. Altera habe die Chance, über die nächsten Jahre mit 5 bis 9 Prozent im Durchschnitt zu wachsen, das sei drei- bis viermal so schnell wie der Halbleitermarkt insgesamt. (ha) ■

John Daane, Altera

» 2002 hätten 57 Prozent des ASIC-Marktes nicht von PLDs ersetzt werden können, 2008 könnten wir als PLD-Hersteller ohne weiteres 88 Prozent der ASICs ersetzen. «

