



## WIE SICH DAS SILICON VALLEY FÜR DEN NÄCHSTEN AUFSCHWUNG RÜSTET

# Strategien überdenken

**Die Finanzkrise verschont niemanden. Auch nicht im Silicon Valley. Ob Großunternehmen oder Garagenfirma: Mitarbeiter müssen gehen, Produktserien werden zusammengestrichen, und „Wagniskapital“ ist ein Fremdwort. Marktgurus sind sich sicher, dass der Stern des Silizium-Tals von Tag zu Tag unaufhaltsam blasser wird.**

Um die Situation genauer in Augenschein zu nehmen, haben wir den Electronics Summit 2009 von GlobalPress in San Francisco besucht – ein Treffen von Fachjournalisten mit Managern einschlägiger Elektronikunternehmen. Gleichzeitig haben wir auf der ESC-Messe und dem Intellectual Property Symposium in San Jose Neuigkeiten eingesammelt und die Stimmung auf uns wirken lassen.

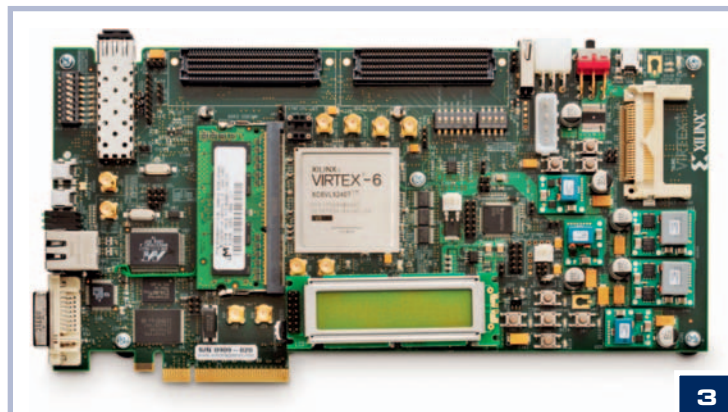
### Programmierbare Logik für schmales Budget

John Daane, CEO von Altera (**Bild 1**), kündigte an, dass der sogenannte Tipping Point bei programmierbarer Logik – zwischen PLD und ASIC – sich weiterhin verschieben wird. Daane ist sich sicher, dass sein Angebot an FPGAs, CPLDs und ASICs den Kunden in Zukunft helfen wird, selbst bei



**Bild 1. John Daane, Altera: den Kunden helfen, auch bei schmalen Entwicklungsbudgets erfolgreich Produkte in den Markt zu bringen**

**Bild 2. Vin Ratford, Xilinx: Mehr mit weniger ist nur mit Plattformprodukten zu schaffen**



**Bild 3. Gehen in Serie: Virtex-6-FPGAs von Xilinx**

sehr schmalen Entwicklungsbudgets Produkte in den Markt zu bekommen, die sich dort behaupten können. Er denke vor allen Dingen an die Märkte Kommunikation und Industrie-Ethernet, wo 40-nm-FPGAs die notwendige Performance und Flexibilität bieten sollen, so Daane.

Auch Vin Ratford (**Bild 2**), Senior VP, World Wide Marketing bei Xilinx, meint, dass „mehr mit weniger“ erzielt werden muss, und dass das nicht mit Einzelprodukten zu schaffen ist. Ratford verweist auf die kürzlich vorgestellten Virtex-6-FPGAs (**Bild 3**), die nunmehr in die Serienfertigung gehen. Virtex-6 sei eben keine vereinzelte Produktentwicklung, sondern Kern einer ausgereiften Design-Plattform, die von einer neuen Generation von Entwicklungstools und einer umfangreichen IP-Library unterstützt wird. Nur mit derartigen aus-

gereiften Produktkonzepten könnten, so Ratford, die künftigen Kunden den sicherlich schwierigeren Marktanforderungen begegnen.

### CSSPs nicht übersehen

Chris Rowen, Gründer und CTO von Tensilica, setzt für sein Unternehmen ebenfalls auf eine besonders flexible Processorplattform (Xtensa): auf Dataplane Processing Units (**Bild 4**), einen interessanten Mix aus CPU und DSP mit hoher Programmierbarkeit, der eine herkömmliche Kombination aus CPU und DSP in den Schatten stellen soll. Rowen wies darauf hin, dass die DPUs besonders kurze Entwicklungszeiten aufweisen.

Auch QuickLogic scheint sich bei den einschlägigen OEMs gut positioniert zu ha-

ben. CEO Tom Hart zeigte auf, dass die langen Chip-Entwicklungszeiten mit den kurzen Zyklen der Consumer-Produkte einfach nicht Schritt halten können. Die Customer Specific Standard Products (CS-SPs, **Bild 5**) seines Unternehmens sollen dieses Problem lösen, denn sie sind quasi Standardprodukte, die selektive Funktionsvarianten zulassen. Kern dieser Produktgruppe ist die ViaLink-Technologie, eine attraktive Kombination aus fest verdrahteter, applikationsspezifischer Logik und einem flexibel programmierbaren Fabric. Sinken sollen vor allem die Kosten, der Leistungsverbrauch und die Entwicklungszeit.

**Effizientes Power-Management bringt Vorteile**

Nach Angaben von Walden Rhines (**Bild 6**), CEO von Mentor Graphics, sollte der Chip-Entwickler in allen Designstufen seiner Projekte sein besonderes Augenmerk auf den Leistungsverbrauch richten, auch wenn Performance und Produkteigenschaften wichtige Vorgaben sind und die verschiedenen Designziele oft nur schwer unter einen Hut zu bringen sind. Wenn das

**Standard and Custom DPUs Based on a Common Xtensa Processor Platform**

	Baseband	HiFi Audio	VDO Video & Imaging	Controller	Other		
<b>Fully customizable Cores</b>	Xtensa DSPs	Xtensa with HiFi audio	Xtensa for Video	Xtensa controllers	Data Comm	Storage	Security
<b>Configurable Cores</b>	Configurable Comms DSP	Configurable HiFi Audio DSPs	Standard VDO 388VDO	Configurable Controllers			
<b>Standard Cores</b>	Standard Comms DSPs 545CK	Standard Audio DSPs 330HiFi		Diamond Controllers 106Micro, 108Mini, 212GP, 232L, 570T			
<b>Core Xtensa DPU Foundation</b> Xtensa Automatic Processor Generator (core creation in <1 hour) Complete Software Toolchain, 3rd Party Ecosystem, EDA Flows, Models Multiple Processor SOC Design Infrastructure							

4

**Bild 4. Dataplane Processing Units (DPUs): Mischung aus CPU und DSP mit hoher Programmierbarkeit**

Handy von morgen noch mehr Funktionen aufweisen wird, dann muss sichergestellt sein, dass ein effizientes Energie-Management systemweit zum Tragen kommt.

Unter diesen Gesichtspunkten stelle Rhines im Rahmen der Konferenz die firmeneigene Olympus-SoC-Plattform vor, die nunmehr ganz besonders auf eine Low-Power-IC-Implementierung ausgelegt ist, und zwar mit Blickrichtung auf neueste Halbleiterprozesse. Variationen in den Design-Moden, Prozess-Eckpunkten und in der Herstellung sollen nunmehr so effizient optimiert werden können, dass der Anwender mit wesentlich kürzeren Design-Abschlusszeiten und Leistungseinsparungen im Bereich von 30 Prozent rechnen kann. Rhines zeigte in einer Multi-Corner-, Multi-Mode-Darstellung (**Bild 7**) auf, mit wie vielen Konfliktsituationen sich ein Chip-Entwickler auseinandersetzen muss.

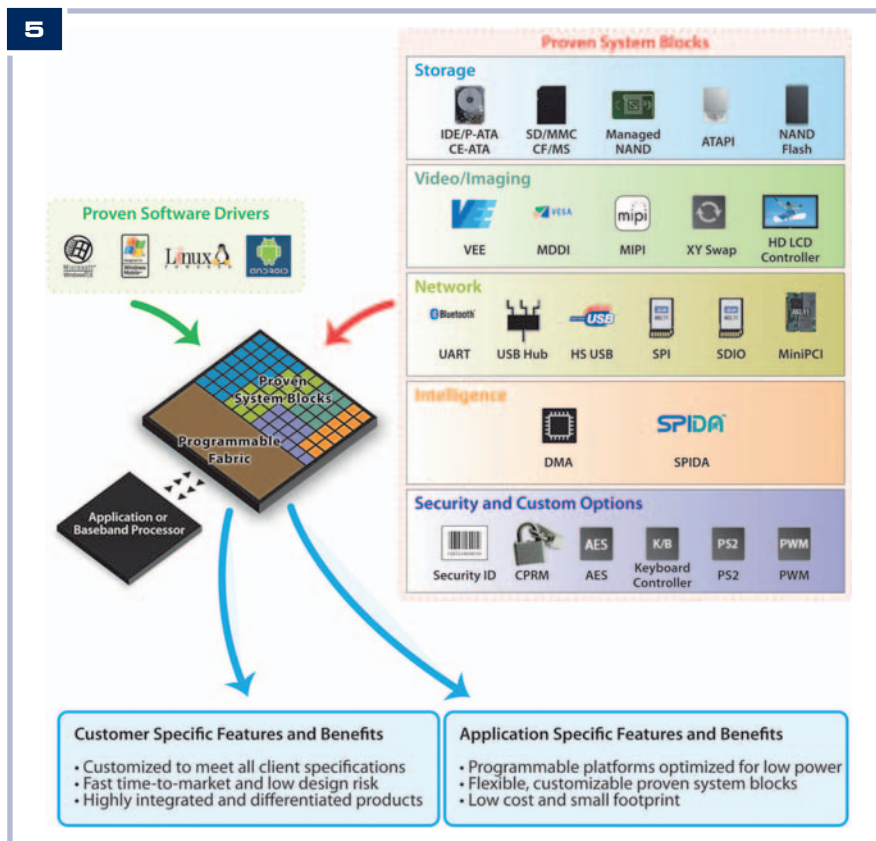
Richard Kapusta, VP Marketing bei Actel, sieht sein Unternehmen für die OEM-Anforderungen der Zukunft ebenfalls gut gerüstet, bieten doch die Low-Power-FPGAs eine besonders geringe Leistungsaufnahme von nur 2 µW, während die Mixed-Signal-FPGAs eine interessante Kombination



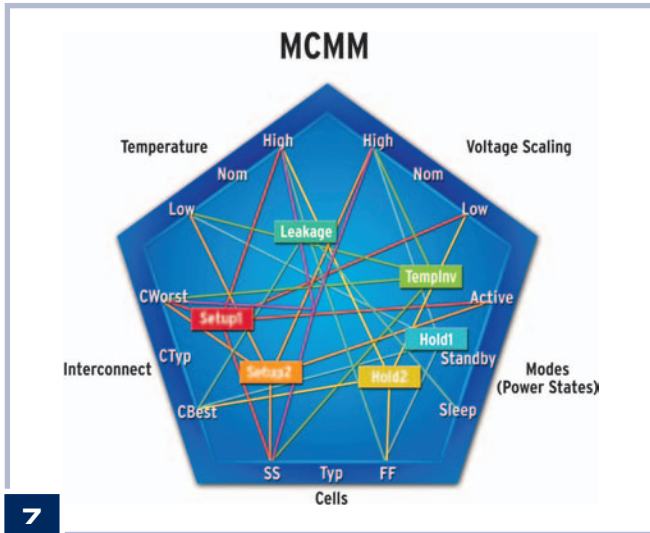
6

**Bild 6. Walden Rhines, Mentor Graphics: Die Olympus-SoC-Plattform soll die Leistungsaufnahme bis zu 30 Prozent senken**

5

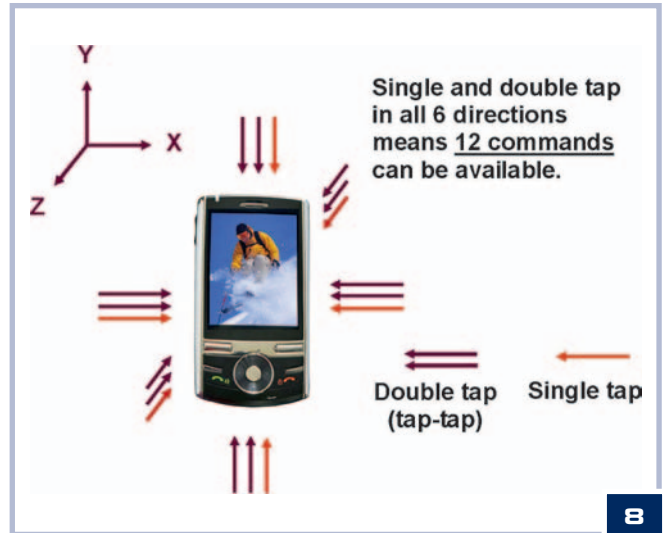


**Bild 5. CS-SP sind Standardprodukte, die selektive Funktionsvarianten zulassen**



7

Bild 7. Multi-Corner-, Multi-Mode-Szenario der Chipentwicklung



8

Bild 8. Der Single-/Double-Tap-Sensor von Kionix kann einfaches und doppeltes Antippen erkennen und die Ursprungsposition lokalisieren

von Logik, RAM, Flash und Analog darstellen. Eine Mixed-Signal-FPGA-Architektur mit Embedded-CPU dürfte für zahlreiche OEMs den Ausschlag geben, zumal Actel mit ARM sehr stark liiert ist.

**Sensor: Einmal oder zweimal tippen**

Den Markt der User-Interfaces für Mobilgeräte bereichert Kionix jetzt mit einem Dreiaachsen-Beschleunigungssensor (Bild 8) und seinem „Directional Tap/Double Tap“. Durch einfaches oder doppeltes Antippen eines Handgeräts kann der neue Sensor nachgeordnete Funktionen auslösen. Dieser Sensor (KXTF9) verfügt über einen eingebetteten Algorithmus, mit dem das Bauelement ein einfaches oder doppeltes Antippen zusammen mit seiner Ursprungsposition feststellen kann. Weitere Merkmale sind ein I<sup>2</sup>C-Interface sowie

zahlreiche vom Anwender definierbare Chipfunktionen.

In Sachen Strom sparender FPGAs muss der Bauelementemarkt auch mit SiliconBlue Technologies rechnen, deren programmierbare Einchip-SRAM-FPGAs iCE65 bei einer Taktfrequenz von 32,768 kHz oder weniger einen Stromverbrauch von nur 8 µA aufweisen. Spezielle Power-Down-Funktionen sind hier nicht notwendig. Die Fertigung dieser FPGAs erfolgt mit einem 65-nm-LP-CMOS-Prozess von TSMC. Hinzu kommt jetzt auch das Evaluierungskit iCEman65 mit zwei peripheren Tochtermodulen, die dem Designer die notwendige Hardware und IP bieten, um eine komplette, schlüsselfertige Systemlösung zu entwickeln und zu testen.

**Audio-Subsysteme für Mobilgeräte**

Richard Zarr, Chief Technologist bei National Semiconductor, sieht zum Beispiel bei mobilen Elektronikgeräten folgende erfolgsträchtige Tendenzen: größere Displays, Gestikerkennung, umfangreicherer Kontent (Cisco erwartet, dass in wenigen Jahren 64 Prozent des Mobil-Datenverkehrs auf Videos entfällt), Zweizeige-Video, Online-Gaming sowie hohe Prozessorleistungen für die entsprechende Video- und Datenverarbeitung.

National konzentriert sich aber auch auf leistungsfähige Audio-Subsysteme bei den Mobilgeräten und erweitert jetzt sein Produktprogramm an Class-D-Audio-Sub-



9

Bild 9. Class-D-Audio-Subsystem für mobile Endgeräte

**FAZIT**

Die derzeitige Situation der Elektronikindustrie ist weitaus vielschichtiger als angenommen. Natürlich schmerzen die zahlreichen Entlassungen, während in den Unternehmen die Finanzleute das Sagen haben und oft ganze Abteilungen schließen. Aber bei genauerem Hinsehen und Zuhören zeigt sich, dass so mancher CEO oder Kleinunternehmer mehr als emsig dabei ist, sein Unternehmen auf „die Zeit danach“ vorzubereiten. Weltweite Marktuntersuchungen und Profile potenzieller Kunden werden ebenso abgeklopft wie Sondierungen mit möglichen internationalen Geschäftspartnern. Man resigniert nicht, sondern sieht in der Ungewissheit einige sehr gute Ansätze für den Start in die unsichere Zukunft. Das sogenannte Stimulus-Package der US-Regierung dürfte die Entwicklungsrichtungen in der Elektronik sicherlich beeinflussen – vor allem für den Sektor Energie ist mit Geld zu rechnen.

systemen mit zwei bemerkenswerten ICs. Der LM49352 (**Bild 9**) ist ein Mixed-Signal-Audiosubsystem, während der LM49151 eine rein analoge Variante darstellt. Der LM49352 integriert Audio-Codec-Funktionen mit Kopfhörer-Verstärkern und Audio-DSP in einem 3,3 x 3,3 mm<sup>2</sup> kleinen Gehäuse. Der Lautsprecher ist ausgesprochen effizient (93 Prozent/970 mW/4,2 V). National kooperiert inzwischen mit Altera, um die Übertragung, Verarbeitung und Anzeige von Digitaldaten im Bereich unterschiedlicher Automotive-Applikationen zu

optimieren. Die angestrebte schnelle und weitreichende Grafik-Verbindungslösung konzentriert sich auf den Zuwachs von Video-Informationen in den Bereichen Infotainment und Fahrerunterstützung. Altera verwendet hierfür die Cyclone-III-FPGAs, während National die FPD-Link II, eine Embedded-SERDES-Architektur, einbringt.

### **SBC-Referenz-Designkit mit Display**

Displays sind für fast alle Mobilgeräte ein besonders wichtiges Merkmal. Luminary

Micro stellte im Rahmen seines MCU-Programms ein SBC-Referenzdesignkit (RDK-IDM-SBC) mit 3,5-Zoll-Display vor (Titelbild), das die Schnittstellen 10/100 Ethernet (MAC+PHY), USB-Host und CAN beinhaltet und auf der Stellaris MCU LM3S9B92 (ARM Cortex-M3) beruht. Der QVGA-Berührungsbildschirm bietet verschiedene serielle, digitale und analoge Interfaces. Für die Software-Entwicklung kann der Entwickler auch auf firmeneigene Libraries und ARM Entwicklungstools zurückgreifen. *(hw, ml)*